

PLL FREQUENCY SYNTHESIZER CIRCUIT

Patent Number: JP8102664
Publication date: 1996-04-16
Inventor(s): KIMURA KAZUHIRO
Applicant(s): SANYO ELECTRIC CO LTD
Requested Patent: ☐ JP8102664
Application Number: JP19940237507 19940930
Priority Number(s):
IPC Classification: H03L7/093
EC Classification:
Equivalents: JP3326286B2

Abstract

PURPOSE: To prevent the generation of an excess amplitude level in a low frequency area and to reduce unnecessary radiation by obtaining a signal with a fixed amplitude level independently of the oscillation frequency of a VCO circuit from an amplifier circuit connected to the post stage of a VCO circuit.
CONSTITUTION: The amplifier circuit 7 for amplifying the output signal from the VCO circuit 1 is constituted of a voltage/current conversion circuit 8 for inputting voltage VT to be impressed to the circuit 1 and converting the voltage VT into a current I2 proportional to the voltage value and a differential amplifier 9 for inputting the converted current I2 as an operation current. Or data corresponding to a frequency division number N are outputted from a controller for setting up the number N in a programmable divider and data obtained by DA converting the output data is impressed to the circuit 8.

Data supplied from the esp@cenet database - I2

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-102664

(43) 公開日 平成8年(1996)4月16日

(51) Int.Cl.⁶

H 0 3 L 7/093

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 L 7/ 08

E

審査請求 未請求 請求項の数4 OL (全5頁)

(21) 出願番号 特願平6-237507

(22) 出願日 平成6年(1994)9月30日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 木村 和広

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

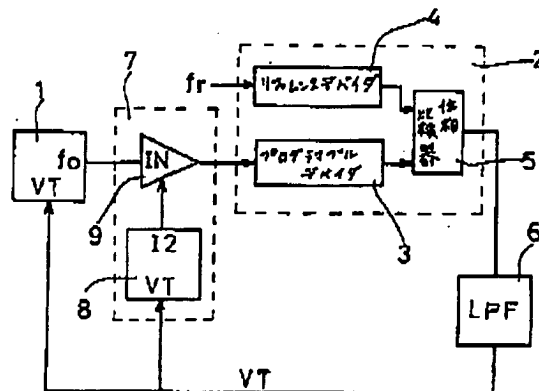
(74) 代理人 弁理士 岡田 敬

(54) 【発明の名称】 PLL周波数シンセサイザ回路

(57) 【要約】

【目的】 VCO回路の後段に接続される増幅回路から、VCO回路の発振周波数によらず一定の振幅レベルの信号を得て、低周波数領域における過大な振幅レベルの発生をなくし、不要輻射の低減を図る。

【構成】 VCO回路1の出力信号を増幅する増幅回路7を、VCO回路1への印加電圧VTを入力し、この電圧VTを電圧値に比例した電流I2に変換する電圧電流変換回路8と、変換された電流I2を動作電流として入力する差動増幅器9より構成する。あるいは、プログラムデバイダに分周数Nを設定するコントローラから、分周数に対応したデータを出し、これをDA変換した電圧を上記電圧電流変換回路に印加する。



(2)

特開平8-102664

1

【特許請求の範囲】

【請求項1】 印加される電圧に応じた発振周波数信号を出力するVCO回路と、該VCO回路の出力信号が入力されるPLL回路と、該PLL回路の出力が印加され出力電圧を前記VCO回路に出力するローパスフィルタとを備えたPLL周波数シンセサイザ回路において、前記VCO回路とPLL回路との間に、前記発振周波数に応じて増幅度が変化する増幅回路を挿入したことを特徴とするPLL周波数シンセサイザ回路。

【請求項2】 前記PLL周波数シンセサイザ回路は、更に、前記PLL回路中に含まれるプログラマブルデバイスに分周数を設定するためのコントローラを有し、該コントローラは設定する分周数に対応するデータを出し、前記増幅回路は、前記データを電圧もしくは電流に変換する変換回路と、該変換回路からの出力に応じて増幅度が変化する増幅器とよりなることを特徴とする請求項1記載のPLL周波数シンセサイザ回路。

【請求項3】 前記増幅回路は、前記VCO回路に印加される電圧を入力し、該入力電圧に応じて増幅度が変化する増幅回路であることを特徴とする請求項1記載のPLL周波数シンセサイザ回路。

【請求項4】 前記増幅回路は、前記VCO回路に印加される電圧を比例した電流に変換する電圧電流変換回路と、該変換回路によって変換された電流を動作電流として入力する差動増幅器とよりなることを特徴とする請求項3記載のPLL周波数シンセサイザ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、PLL周波数シンセサイザ回路に係わり、VCO回路に接続する増幅回路に関する。

【0002】

【従来の技術】 PLL周波数シンセサイザ回路は、印加電圧に比例した発振周波数信号を出力するVCO回路と、VCO回路の出力を分周するプログラマブルデバイス、基準周波数信号を分周するリファレンスデバイス、両デバイスの出力位相を比較する位相比較器よりなるPLL回路と、このPLL回路の出力を入力しVCO回路に電圧を印加するローパスフィルタとから構成される。そして、VCO回路とPLL回路の間には、PLL回路への入力信号レベルを所定レベル以上に確保するため、通常、VCO回路とPLL回路の間には、増幅回路が接続されている。

【0003】

【発明が解決しようとする課題】 ところが、VCO回路の後段に接続される増幅回路は、周波数が高くなると出力段のトランジスタの電流増幅度が低下するため、結果として出力される発振振幅レベルは周波数に反比例するようになる。例えば、FMラジオ受信機における増幅回路の出力は、図5に示すように、その発振周波数が高く

2

なるとそれに伴って低下する傾向にある。

【0004】 そこで、従来は、周波数が高くなって発振振幅レベルが低下しても、PLL回路の最低動作入力レベルを満足するように、増幅回路の増幅度を全体的に大きく設定していた。しかしながら、このような対処方法では、周波数が低いときに発振振幅レベルが過大となってしまう、このため、不要な高調波成分が発生して不要輻射を増大させる原因となっていた。

【0005】 近年、ラジオ受信機では不要輻射の低減が特に求められており、VCO回路とPLL回路の配線を極力短くする等の対策が行われているがそれにも限界があり、上記原因に基づき発生する不要輻射は大きな問題となっていた。

【0006】

【課題を解決するための手段】 本発明は、印加される電圧に応じた発振周波数信号を出力するVCO回路と、該VCO回路の出力信号が入力されるPLL回路と、該PLL回路の出力が印加され出力電圧を前記VCO回路に出力するローパスフィルタとを備えたPLLシンセサイザ回路において、前記VCO回路とPLL回路との間に、前記発振周波数に応じて増幅度が変化する増幅回路を挿入して上記課題を解決するものである。

【0007】 また、前記PLL周波数シンセサイザ回路は、更に、前記PLL回路中に含まれるプログラマブルデバイスに分周数を設定するためのコントローラを有し、該コントローラは設定する分周数に対応するデータを出し、前記増幅回路は、前記データを電圧もしくは電流に変換する変換回路と、該変換回路からの出力に応じて増幅度が変化する増幅器とよりなることを特徴とする。

【0008】 また、前記増幅回路は、前記VCO回路に印加される電圧を入力し、該入力電圧に応じて増幅度が変化する増幅回路であることを特徴とする。また、前記増幅回路は、前記VCO回路に印加される電圧を比例した電流に変換する電圧電流変換回路と、該変換回路によって変換された電流を動作電流として入力する差動増幅器とよりなることを特徴とする。

【0009】

【作用】 VCO回路後段の増幅回路の増幅度が一定の場合は、発振周波数が高くなるとその発振振幅レベルが低下していくが、本発明では、周波数が高くなるとそれに伴って増幅度が大きくなり発振振幅レベルを増大させるように働くため、結果として発振振幅レベルはフラットな特性となり、レベル低下が防止される。よって、従来の如く、発振振幅レベルを全体的に高く設定しておく必要がなくなり、低周波数領域での過大な振幅レベルの発生をなくし、不要輻射が低減される。

【0010】

【実施例】 図1は、本発明の一実施例の概略構成を示すブロック図であり、1は印加電圧に比例した発振周波数

(3)

特開平8-102664

3

信号を出力するVCO回路、2は、VCO回路の出力 f_0 を分周するプログラマブルデバイダ3、基準周波数信号 f_r を分周するリファレンスデバイダ4、両デバイダの出力位相を比較する位相比較器5よりなるPLL回路、6はPLL回路2の出力を入力しVCO回路1に電圧 V_T を印加するローパスフィルタLPF、そして、7はVCO回路1とPLL回路2の間に挿入され、VCO回路1の出力信号を増幅する増幅回路である。

【0011】本実施例では、増幅回路7は、VCO回路1への印加電圧 V_T を入力し、この電圧 V_T を電圧値に比例した電流 I_2 に変換する電圧電流変換回路8と、変換された電流 I_2 を動作電流として入力する増幅器9より構成されている。電圧電流変換回路8及び増幅器9の具体回路を、図3及び図4に各々示す。図3に示すように、電圧電流変換回路8は、増幅器9の動作電流を制御する回路であって、特性が同一なトランジスタ Q_1 、 Q_2 、及び、抵抗 R_2 、 R_3 からなるカレントミラー回路にて実現される。そして、トランジスタ Q_1 のコレクタに抵抗 R_1 を介してVCO回路1への印加電圧 V_T を入力するようにしている。従って、トランジスタ Q_1 に流れる電流 I_1 は、 V_T/R_1 に比例することとなり、且つ、電流 I_1 と I_2 とは等しくなるため、電流 I_2 も V_T/R_1 に比例することとなる。即ち、電流 I_2 は、VCO回路1の発振周波数 f_0 が高くなればそれに伴って増加するようになる。

【0012】増幅器9は、図4に示す差動増幅器構成であって、電圧電流変換回路8で得られた電流 I_2 が差動増幅器を構成するトランジスタ Q_3 及び Q_4 の両エミッタに、動作電流として供給される。一方のトランジスタ Q_3 のベースには、VCO回路1からの発振信号が入力され、他方のトランジスタ Q_4 のベースには抵抗 R_4 、 R_5 よりなる分割抵抗からの基準電圧が入力されているため、動作電流 I_2 が増加するとこの差動増幅器の増幅度が大きくなる。従って、発振周波数 f_0 が高くなると差動増幅器9の増幅度は高くなる。

【0013】元々、動作電流が一定の場合は、差動増幅器9から出力される振幅レベルは、図5に示すように、周波数が高くなるとそれに伴って低くなる特性があるが、この実施例における増幅器では、図6に示すように、逆に、発振周波数が高くなればそれに伴って増幅度が大きくなるよう制御されるので、図5に示す発振レベルの低下は増幅度の増大によって相殺されることとなり、結果として、増幅回路7の出力段では、図7に示すように、総合的な特性として発振振幅レベルは発振周波数に対してフラットな特性となる。よって、このフラットな一定値がPLL回路の最低動作レベルを満足するように設定しさえすればよく、低周波数領域でも過大な振幅レベルになる恐れはなくなり、それに基づく不要輻射の発生が抑制される。

4

【0014】次に、図2を参照しながら、本発明の他の実施例について説明する。先の実施例と異なる点は、電圧電流変換回路8の入力電圧として、VCO回路1へ印加する電圧 V_T を用いる代わりに、コントローラ10から出力されるデータに基づく電圧を用いる点である。PLL回路2中のプログラマブルデバイダ3へは、通常、マイクロコンピュータにて構成されるコントローラ10から分周数 N が設定され、VCO回路1はこの分周数 N に対応した周波数で発振動作を行う。従って、設定する分周数 N に対応するデータ DN を出力し、これをDA変換器11でDA変換した電圧を電圧電流変換回路8に印加すれば、VCO回路1の発振周波数に応じて増幅度を变化させることができる。

【0015】尚、このようなデジタルデータを用いて制御するときは、第1実施例のときのように周波数に応じて連続的に増幅度を变化させてもよいが、その制御を簡略化するため離散的なデータを用いて、発振周波数に応じて段階的に増幅度を变化させるようにしてもよい。また、上述の説明においては、発振周波数に比例して増幅度を上げる例を示したが、仮に、増幅回路の元来の特性が周波数に比例して振幅レベルが増大するような場合は、増幅回路の増幅度を周波数に反比例して下げるようにすればよい。

【0016】

【発明の効果】本発明によれば、VCO回路の後段に接続する増幅回路から、VCO回路の発振周波数によらず一定の振幅レベルの信号を得られるようになり、このため、低周波数領域において過大な振幅レベルの信号が発生しなくなり、不要輻射を低減できるようになる。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示すブロック図である。

【図2】本発明の他の実施例の構成を示すブロック図である。

【図3】実施例における電圧電流変換回路の具体回路図である。

【図4】実施例における増幅器の具体回路図である。

【図5】従来の増幅回路の出力周波数特性図である。

【図6】実施例における増幅器の増幅度の周波数特性図である。

【図7】実施例における増幅回路の出力総合周波数特性図である。

【符号の説明】

- 1 VCO回路
- 2 PLL回路
- 3 プログラマブルデバイダ
- 6 LPF
- 7 増幅回路
- 8 電圧電流変換回路
- 9 増幅器

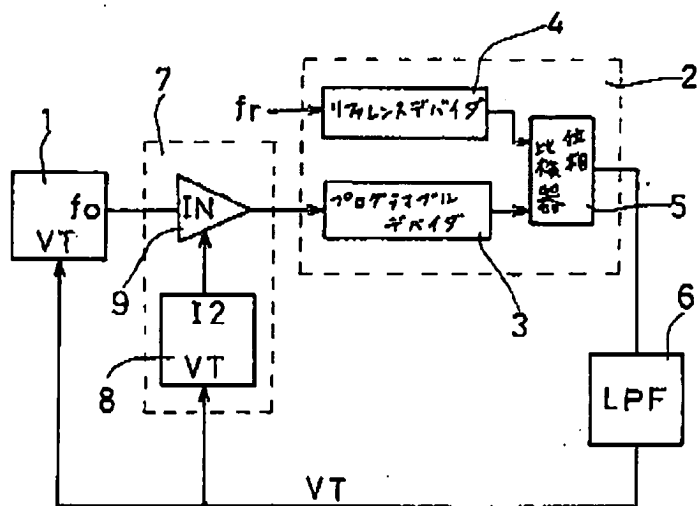
特開平 8-102664

(4)

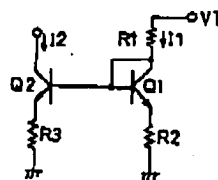
10 コントローラ

11 DA変換回路

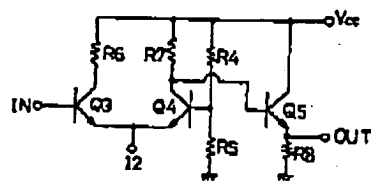
【図1】



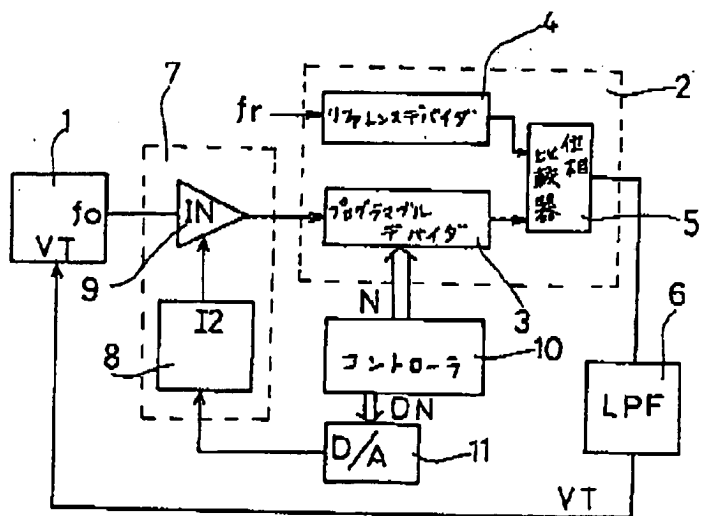
【図3】



【図4】



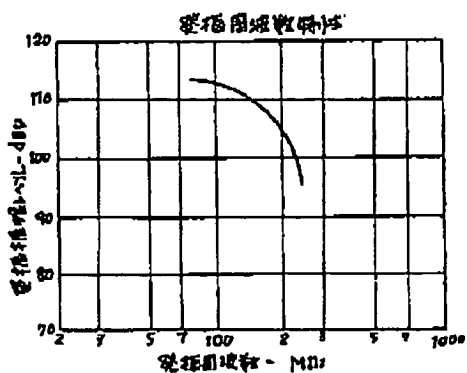
【図2】



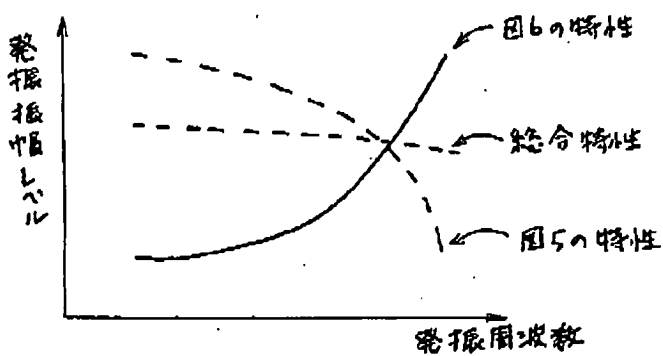
(5)

特開平8-102664

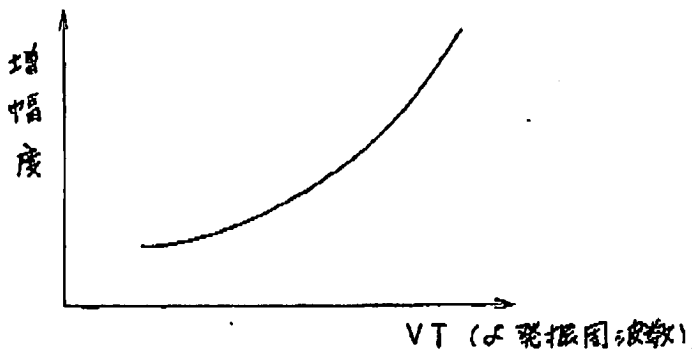
【図5】



【図7】



【図6】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.